

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **04-076890**

(43)Date of publication of application : **11.03.1992**

(51)Int.Cl. **G11C 11/413**

G11C 11/41

(21)Application number : **02-191730**

(71)Applicant : **NEC CORP**

(22)Date of filing : **19.07.1990**

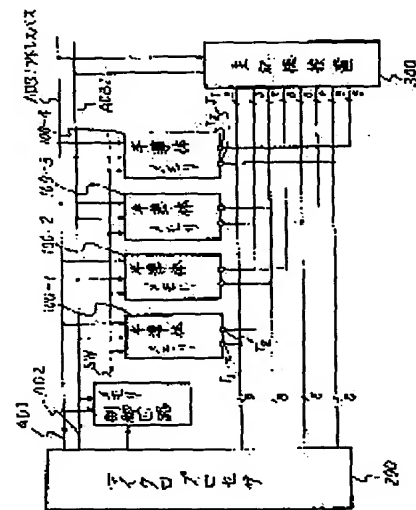
(72)Inventor : **UCHIDA KATSUNORI**

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To increase an operating speed by providing each function which operates successively the input/output of a data to plural memory cell arrays(Ma) by using one of data input/output terminals, and which operates in parallel the input/output of the data to the plural Ma by using the plural data input/output terminals.

CONSTITUTION: The reception of the data between a microprocessor 200 and four semiconductor memories 100-1 - 100-4 is operated by using a first data input/output terminal T1 of the semiconductor memories 100-1 - 100-4. The reception of the data between a main storage 300 and the semiconductor memories 100-1 - 100-4 is operated by using both the first data input/output terminal T1 and a second data input/output terminal T2. Thus, even when the width of a data bus at the side of the micro-processor 200 is different from the width of a system data bus at the side of the main storage 300, a latch selector circuit or the like is not necessary, so that a burst lead or a high speed operation can be attained, and the high speed semiconductor memory can be not necessary.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

SHUSAKU YAMAMOTO

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

(Translation)

Japanese Laid-open Publication No. 4-76890

Publication date: March 11, 1992

p. 5, upper left column, line 3 from the bottom to lower left column, line 6

Figure 1 is a circuit diagram showing a first example of the present invention.

This example comprises a plurality of memory cell array portions 1_A to 1_D for which data write and read operations are performed in accordance with respective addresses specified by an address signal AD1, first and second data I/O terminals T_1 and T_2 via which data is input from or output to an external circuit, I/O buffer circuits 3_A and 3_B , a control signal generation circuit 21, decoders 22_A and 22_B , logic gates G1 and G2, and transfer gates TG1 to TG8. This example has an I/O switch control circuit 2 having the following structure. When a first I/O switch signal SW is at a first level, data read from the memory array portions 1_A to 1_D is transferred via the I/O buffer circuit 3_A to the first data I/O terminal T_1 in accordance with a second I/O switch signal AD2, and external data from the first data I/O terminal T_2 is transferred via the I/O buffer circuit 3_A to the memory array portions 1_A to 1_D . When the first I/O switch signal SW is at a second level, data read from the memory array portions 1_A to 1_D is transferred in parallel via the I/O buffer circuits 3_A and 3_B to the first and second data I/O terminals T_1 and T_2 in sequence in accordance with the second I/O switch signal AD2, and external data from the first and second data I/O terminals T_1 and T_2 is transferred in parallel via the I/O

SHUSAKU YAMAMOTO

Our Client Ref: 03R00238/US/JVE

Our Ref: F5-03535226

buffer circuits 3_A and 3_B to the memory array portions 1_A to 1_D in sequence.

(2)

④ 日本国特許庁 (JP) ⑤ 特許出願公開
⑥ 公開特許公報 (A) 平4-76890

Int. Cl.³ 識別記号 庁内整理番号 公開 平成4年(1992)3月11日
G 11 C 11/413

7523-SL G 11 C 11/34 3 0 1 E
7523-SL 審査請求 未請求 請求項の数 2 (全7頁)

⑦ 発明の名称 半導体メモリ
⑧ 特 願 平2-191730
⑨ 出 願 平2 (1990) 7月19日
⑩ 発 明 者 内 田 克 典 東京都港区芝5丁目7番1号 日本電気株式会社内
⑪ 出 願 人 日 本 電 気 株 式 有 限 公 司 東京都港区芝5丁目7番1号
⑫ 代 理 人 井 理 士 内 原 晋

【特許請求の範囲】

1、それぞれアドレス信号により指定されたアドレスに対しデータの読み込み、読出しを行う複数のメモリセルアレイ部と、外部回路とのデータの出入力を行う第1及び第2のデータ入出力端子と、第1の出入力切換信号が第1のレベルのとき、第2の出入力切換信号に従って前記各メモリセルアレイ部の読出しデータを前記第1のデータ入出力端子へ伝達しこの第1のデータ入出力端子の外部からのデータを前記各メモリセルアレイ部へ供給し、前記第1の出入力切換信号が第2のレベルのとき、前記第2の出入力切換信号に従って前記複数のメモリセルアレイ部の読出しデータを並列に前記第1及び第2のデータ入出力端子へ伝達しこれら第1及び第2のデータ入出力端子の外部からのデータを並列に前記複数のメモリセルアレイ部へ供給する出入力切換制御回路とを有することを特徴とする半導体メモリ。

2、外部回路とのデータの出入力を行う第1、第2、及び第3のデータ入出力端子を設け、出入力切換制御回路により、第1の出入力切換信号が第2のレベルのとき、第2の出入力切換信号に従って複数のメモリセルアレイ部の読出しデータを並列に前記第2及び第3のデータ入出力端子へ伝達しこれら第2及び第3のデータ入出力端子の外部からのデータを並列に前記複数のメモリセルアレイ部へ供給するようにした請求項1記載の半導体メモリ。

(57) 【要約】

【目的】データ入出力端子の1つを用い複数のメモリセルアレイ部 (Me) に対するデータの出入力を順次行い、複数のデータ入出力端子を用い複数のMeに対し並列にデータの出入力を行う各機能を設けて、高速化を図る。

【構成】マイクロプロセッサ200と4個の半導体メモリ100-1~100-4との間のデータの授受は半導体メモリ100-1~100-4の第1のデータ入出力端子T₁₁を使用して行い、主記憶装置300と半導体メモリ100-1~100-4との間のデータの授受は半導体メモリ100-1~100-4の第1及び第2のデータ入出力端子T₁₁、T₁₂を使用して行う。これによりマイクロプロセッサ200側のデータバス幅と主記憶装置300側のシステムデータバス幅とが異なる場合でも、ラッチ、セリクタ回路等が不要となるので、バーストロードや高速動作が可能となり、また、高速な半導体メモリが不要となる。

【半導体 記憶 データ 入出力 端子 1つ 複数 記憶 セル アレイ部 データ 出入力 順次 並列 機能 高速化 マイクロプロセッサ 4個 授受 使用 主記憶 装置 データ バス 幅 システム データ バス 幅 場合 ラッチ 選択器 回路 不要 バーストロード 高速 動作 高速】

(4)

⑩ 公關特許公報 (A) 平4-76890

11/4/83
11/4/83

審査請求 宋請求 請求項の数 2 (全7頁)

②特 願 平2-191730

出 願 平 2 (1 9 9 0) 7 月 1 8 日

田内克典 東京都港区芝5丁目7番1号 日本電気株式会社内

出 産 人 日本電気株式会社 東京都港区芝5丁目7番1号

②代理人 弁理士 内原 晋

鬼明の名義

平澤体スモリ

特殊請求の範囲

[illegible]

種からのマータを奥所に背記無敵のメソリセム
シメ類へ供給する入出力の機械回路とを有する
ことを特徴とする半導体メモリ。

第2、及び第3の「データ入出力端子」を設け、入出力機能新増設回線により、第1の入出力機能端子が、第2のレベルとき、第2の入出力機能端子によって構成されたネットワーク内の接続にデータ直列に接続し第2及び第3の「データ入出力端子」はそれぞれ、第2及び第3の「データ入出力端子」外部からのデータを直接第2及び第3のメモリとネットワーク内部へ供給するようになした間接型1記憶の集約体とする。

発明の詳細な説明
(産業上の利用分

本発明は半導体メモリに関し、特にバイクロックセパサのデータバスと主記憶装置等のシステムバスのデータバスとが異なるようなキャッシュメモリあるいはローカルメモリとして使用される半導体メモリに関する。

(従来の技術)

従来の年輪体メソリは、チーチバズと面識がなく、使った、使った、チーチバズのアナチーチーチバズと主語置換者のシェスアハズのチーチバズとが異なるチーチバズのアナチーチバズにおいて、この年輪体メソリはチーチバズでありあるいはロカールメソリとして使用する場合、シェスアハズとチーチバズのアナチーチバズとの間に、チーチバズやセリチバズが混在であった。

第6回は従来のチーチバズと他の年輪体メソリを合併し、シェスアハズが64ビット、チーチバズのアナチーチバズが32ビットのチーチバズとシェスアハズを結合したときの図解図である。

このマイクロプロセッサシステムにおいては、マイクロプロセッサ200及び半導体メモリ100、 α -1〜100、 α -4と記憶領域300との間にラッチ・セレクト回路400-1〜400-4が設けられる。これは、主記憶領域300内の64ビットのシステムバスDB1〜SDB8に接続

[illegible]

15 関平 4-758.90(2)

に64ビットの整数値を返すのである。
24ビットの整数値を返す1000-1-1-1000-
14あるいはプロパティ2000入子一を
返す場合、一般的に64ビットの子一を
保持し2回に分けて子一を返すなければなら
ないからである。

また第7図は、シスヤムバス橋を64ビットにし、ビット半導体メモリをローカルメモリとして8重使用したマイクログロセサシスヤムを構成したときの回路図である。

[illegible]

（兎明が解決しようとする問題）
上達したように、従来の平場体メモリは、デー

ツルギモリを内蔵しているものがあり、これは内蔵モーターツルギモリのきんとツルギ機にはサーボを1クロックサイクルごとに要求するベーストリードを備えており、ラッチ・セレクト回線等の外部回路が必要なのは取柄的になるという点がある。

(問題を解決するための手段)

[illegible]

(5)

特開平1-76890(3)

より指定されたアドレスに対しデータの書き込み
 提出しを行う複数のメモリセルアドレス1、
 1と、外部回路とのデータの出入力を行う第
 1のメモリセルアドレスに接続する入出力回路所
 及第2のデータ入出力端子T₁、T₂及び入

1. 第2、及び第3のデータ入出力端子を設け、入出力切替制御回路により、第1の入出力情報端子が第2の端子となる、第2の入出力情報端子が第3の端子となる、第3の入出力情報端子に受けるデータのセリセルアドレス部の抽出にデータ系列に割込み、及び第3のデータ入出力端子へ伝送しこれら第2及び第3のデータ入出力端子の外からのデータと並列に割込みデータのセリセルアドレス部へ供給するようにした装置を有している。

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の第1の実施例を示す回路図である。

この実験所は、それぞれアトレス番号AD1に

子丁、ア、ハ丘通し、またこれらから1及び2の
のチーチ入出力端子丁、ア、ハの外周からのチー
チを入出力カバリア回路3、3、3を介して入力
トランジスタに接続されたメソセクタレイン部1、1
へ供給する入出力切替制御回路2とを有する。
構造となっている。」

次に、この実施例の動作について説明する。
第2図及び第3図はこの実施例の動作を説明するための通信シーケンス図である。

SWが黒1のレベルの高いレベルV₁の場合、制御信号S₁は、低レベルV₁となり、トランスラプティグT06、T08はオフとなりデーチが入る。また、電子T₁はハイコンヒーダス状態となる。この時、制御信号G1、G2は制御信号S₁、S₂を逆転させてトランスラプティグT05、T07を供給する。

制御信号S₁～S₄は入出力制御信号AND2に
使って第2図に示すように変換し、これらがトラ
ジスワップゲートT01～TG5、T07へ供給さ

「より推定されたアトレスに対しデータの書き込み。」

[illegible]

れ、オモリセルブレイク1.0から放出されたデューク(DT。→DT。)はこれらトランスマッ
プターTC1〜TC5、TG7及び出入力パ
ツァー回線3.4を介して順次デューク入出力端子1、
へ伝達され外部へ出力される。

次に、第3図に示すように、入出力切替信号Sが低レベルの場合、制御信号S₁は高レベルV_Hとなり、従つて、トランジスタT₁、T₂、T₃はオフとなり、駆動ゲートG₁、G₂の出力の制御信号S₁、S₂は高レベルV_Hとなる。トランジスタT₄、T₅、T₆はオフとなる。

調査番号 S4、S5 はトランスファグレート G1ーTG4へ供給され、これらトランスファグレート G1ーTG4により、チーク入出力端子 T1、T2 の外部からのチーク DT1、DT2 が是所に、またメモリセルアルビュ 1、1 に、次にメモリセルアルビュ 1、1 に供給される。

第2図においてはザークを出力する場合、第3

図においてはピークを入力する場合の例が示されているが、入力、出力の関係が逆になってもピークの遅れが逆になるだけである。

第4図はこの実験値による半導体メモリ100を4回使用しパイロプロセッサシステムを構築したときの回帰図である。

マクロプロセッサ200と4個の平準体メモリ100-1〜100-4との間のデータの授受は平準体メモリ100-1〜100-4の第1のデータ入出力端子T₁を使用して行い、主記憶装置300と平準体メモリ100-1〜100-4との間のデータの授受は平準体メモリ100-1〜100-4の第1及び第2のデータ入出力端子T₁、T₂を使用して行う。

このような構成することにより、マクロロブ
ロセマツ 200 個のチーババス船と主記憶装置
300 個のレスナム・チーババス船とが異なる場合
でも、ラマ・セマツ 4 回船等が不要となるので、
バストリードや海流線作が可成りとなり、また、
高度な半導体メモリが不要となる。

[illegible]

以上説明したように本発明は、複数のメモリセルと制御線とを有するデータ入出力端子とを設け、入出力制御信号を使って、これらデータ入出力端子のいくつかを使って複数のメモリセルに入力されるデータの出入力を順次行う構成と、複数のデータ入出力端子のうちの特定のデータ入出力端子にのみデータを供給し、他のデータ入出力端子には電源電位を供給する構成とを有する。

図1及び図2の例を示す回路図である。図1及び図2の例を示す回路図である。

[illegible]

図面の簡単な説明

第1図は本発明の第1の實施例を示す四角図、第2図及び第3図は第1図に示された實施例の動作を説明するための各部位番号のアイソメトリック図、第4図は第1図に示す實施例を使用してアイフロア

730041-76800(4)

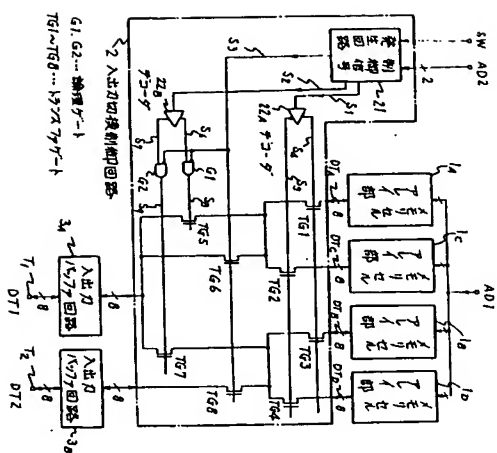
特開平4-76890

(5)

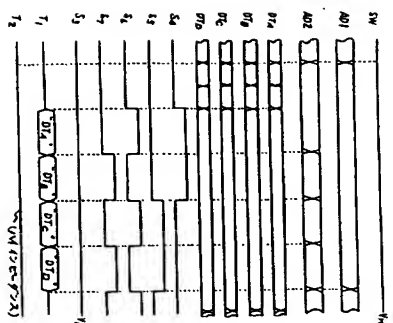
代理人 弁理士 内 原 啓

(7)

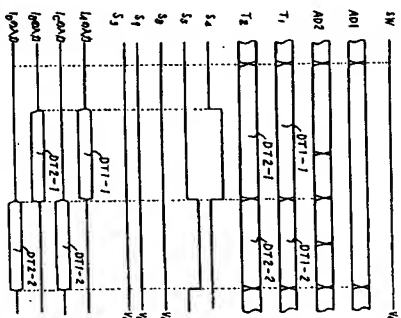
特開平4-76890(5)



第 1 図



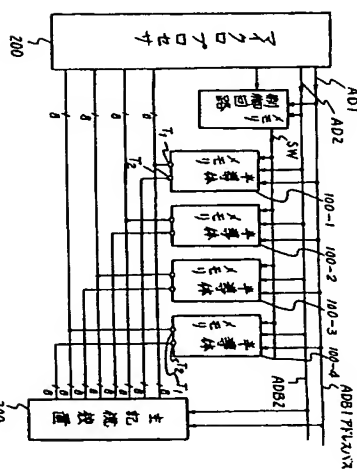
第 2 図



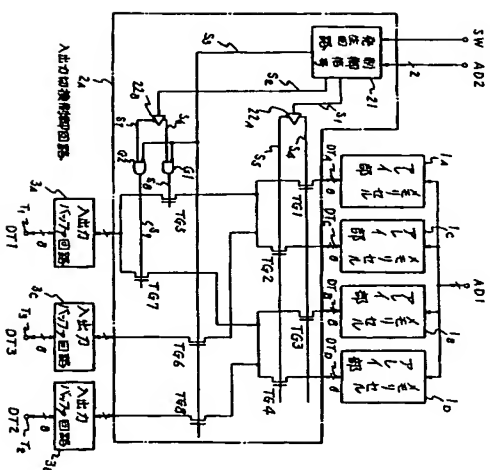
第 3 図

(8)

特開平4-76890(6)



第 4 図



第 5 図

(9)

特開平4-76890(7)

